

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-302497

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

G11C 29/00  
G11C 11/401

(21)Application number : 09-110967

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD  
(72)Inventor : TSUTSUMI AKIMICHI  
NISHII TOSHIYUKI  
TAKESHIGE MASAYUKI

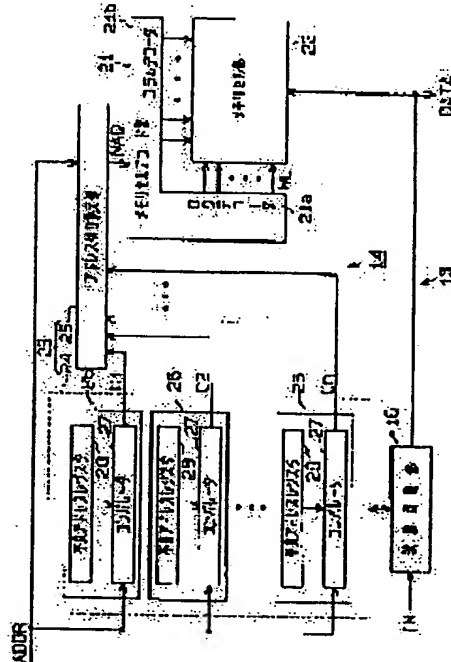
(22)Date of filing : 28.04.1997

## (54) SUBSTITUTION METHOD OF FAULTY ADDRESS, SEMICONDUCTOR MEMORY DEVICE, SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to shorten the test time for switching by storing the faulty and redundant addresses in advance which select the faulty and redundant memory cells, and substituting the selected memory cell for the faulty memory cell when the inputted external address is concordant with the faulty address.

**SOLUTION:** Each faulty address register 28 and address switching section 25 store in advance the faulty address and the redundant address which select plural faulty and redundant memory cells of the memory cell section 22. The address comparing section 24 of the faulty address converting section 23 makes each comparator 27 compare the external address ADDR and the faulty address and outputs judging signals C1-Cn about the agreement or not. By the address NAD which the address switching section 25 switches ADDR and the redundant address and outputs based on this judgement, the memory cell decode section 21 substitutes the redundant memory cell for the faulty memory cell. Thus, switching time can be reduced.



### LEGAL STATUS

[Date of request for examination] 07.06.2000

[Date of sending the examiner's decision of rejection] 16.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**BEST AVAILABLE COPY**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-302497

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>4</sup>

G 1 1 C 29/00  
11/401

識別記号

6 0 5

F I

G 1 1 C 29/00  
11/34

6 0 5 C  
3 7 1 D

審査請求 未請求 請求項の数11 O L (全 20 頁)

(21)出願番号 特願平9-110967

(22)出願日 平成9年(1997)4月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 堤 哲路

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宜

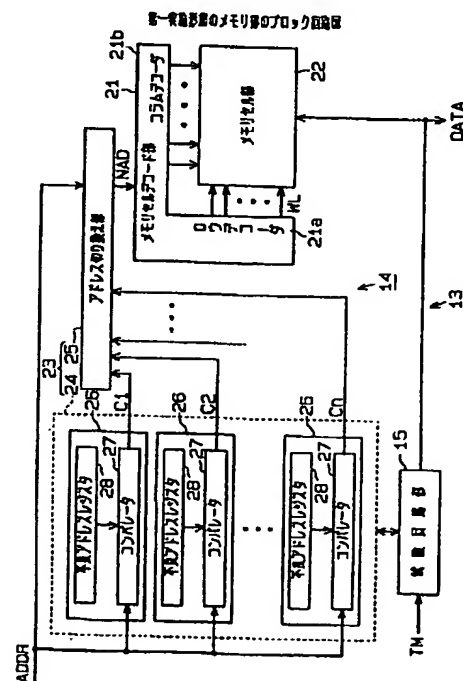
最終頁に続く

(54)【発明の名称】 不良アドレスの代替方法、半導体記憶装置、及び、半導体装置

(57)【要約】

【課題】冗長メモリセルへの切り換えにかかる試験時間を短縮することのできる不良アドレスの代替方法を提供する。

【解決手段】メモリ部には、メモリセル部、メモリセルデコード部、及び、アドレス変換回路を備える。アドレス変換回路にはアドレス比較部とアドレス切り換え部とが設けられている。アドレス比較部に備えられたコンパレータは、不良アドレスレジスタに記憶されたメモリセル部に発生する不良メモリセルの不良アドレスと、外部アドレスADDRとを一致比較する。アドレス切り換え部は、コンパレータの比較結果に基づいて外部アドレスADDRに代えて予め記憶した冗長アドレスを内部アドレスとして出力し、メモリセルデコード部は、入力される内部アドレスにより不良メモリセルを冗長メモリセルに代替させている。即ち、不良メモリセルを電氣的に冗長メモリセルに代替させる。



## 【特許請求の範囲】

【請求項1】 メモリ部に発生する不良メモリセルの不良アドレスを前記メモリ部に備えられた冗長メモリセルのアドレスに代替させて前記不良メモリセルを救済するための不良アドレスの代替方法であって、前記不良メモリセルを選択する不良アドレスを予め記憶すると共に、前記冗長メモリセルを選択する冗長アドレスを予め記憶しておき、入力される外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして生成し、前記不良メモリセルを前記生成された内部アドレスにより選択されるメモリセルにより代替するようにした不良アドレスの代替方法。

【請求項2】 ワード線又はビット線に接続されたメモリセルと、冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリ部において、前記メモリセルが不良の場合に該不良メモリセルを前記冗長メモリセルにより救済するために前記不良メモリセルが接続されたワード線又はビット線を選択するアドレスを不良

アドレスとして該不良アドレスを前記冗長メモリセルが接続された冗長ワード線又は冗長ビット線を選択する冗長アドレスに代替させる不良アドレスの代替方法であって、前記不良メモリセルが接続されたワード線又はビット線を選択するロウアドレス又はコラムアドレスを不良アドレスとして予め記憶すると共に、前記冗長ワード線又は前記冗長ビット線を選択するためのアドレスを冗長アドレスとして予め記憶しておき、入力される前記アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとし、該アドレスにより前記冗長ワード線又は前記冗長ビット線を選択するようにした不良アドレスの代替方法。

【請求項3】 メモリセルと冗長メモリセルとを備えたメモリセル部と、入力される外部アドレスをデコードして前記メモリセル部のうちの1つを選択するメモリセルデコード部とを備えた半導体記憶装置において、前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に、前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶され、前記外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス変換部を備え、

前記メモリセルデコード部は、前記アドレス変換部から入力される内部アドレスに基づいて前記メモリセル又は

冗長メモリセルを選択するようにした半導体記憶装置。

【請求項4】 請求項3に記載の半導体記憶装置において、

前記アドレス変換部は、

前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に前記外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較するアドレス比較部と、

前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成された半導体記憶装置。

【請求項5】 請求項4に記載の半導体記憶装置において、

前記アドレス比較部は、前記メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられ、

前記アドレス切り換え部は、前記予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタを備え、複数の前記アドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項6】 請求項3又は4に記載の半導体記憶装置において、

前記アドレス比較部は、

前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される不良アドレスレジスタと、

前記外部アドレスが入力され、該外部アドレスと前記不良アドレスレジスタ記憶された前記不良アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、

前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて前記外部アドレス又は前記冗長アドレスを出力するようにした半導体記憶装置。

【請求項7】 ワード線又はビット線に接続されたメモリセルと冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリセル部と、前記ワード線及び冗長ワード線又は前記ビット線及び冗長ビット線が接続され、入力されるロウアドレス又はコラムアドレスに基づいて前記ワード線又は前記ビット線を選択するロウデコーダ又はコラムデコーダとを備えた半導体記憶装

置において、

前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、前記外部アドレスを構成する外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するロウアドレス変換部又はコラムアドレス変換部を備え、

前記ロウデコーダ又は前記コラムデコーダは、前記アドレス変換部から出力される内部アドレスを入力し、該アドレスに基づいて前記ワード線又は冗長ワード線、若しくは前記ビット線又は冗長ビット線を選択するようにした半導体記憶装置。

【請求項 8】 請求項 7 に記載の半導体記憶装置において、

前記アドレス変換部は、

前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記外部アドレスと前記不良アドレスとを比較するアドレス比較部と、前記冗長ワード線又は前記冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成された半導体記憶装置。

【請求項 9】 請求項 8 に記載の半導体記憶装置において、

前記アドレス比較部は、前記メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられ、

前記アドレス切り換え部は、前記予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタを備え、前記複数のアドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項 10】 請求項 8 又は 9 に記載の半導体記憶装置において、

前記アドレス比較部は、

前記不良アドレスを記憶する不良アドレスレジスタと、前記不良アドレスレジスタに記憶された不良アドレスと、前記外部アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するかどうかを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、

前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項 11】 メモリセルと、該メモリセルに対して予め用意された冗長メモリセルとを備え、外部から入力されるアドレスに基づいて前記メモリ又は冗長メモリセルを選択するメモリ部と、

少なくとも前記メモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理を実行する処理部と、

前記処理部から前記メモリ部をアクセスするためのアドレスが入力され、該アドレスを請求項 1 又は 2 に記載の方法により変換した内部アドレスを前記処理部に出力するアドレス変換部とを備え、

前記処理部は、前記アクセスステージに先立って前記アドレス変換部により前記メモリ部をアクセスするアドレスを変換する変換ステージを備え、該変換ステージによる変換後のアドレスに基づいてアクセスステージにおいて前記メモリ部をアクセスするようにした半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不良メモリセルを冗長メモリセルに代替させて救済する不良アドレスの代替方法、半導体記憶装置、及び、半導体装置に関する。

【0002】 近年のコンピュータシステムにおいては、処理能力等の大規模化の要求に伴い、大量のメモリがシステムに搭載されるようになってきている。また、システムの小型化の要求に伴い、処理回路等のロジック回路とメモリとが同一チップ上に集積化されるようになってきている。そして、チップ上に形成された回路の中でメモリセルが占める面積大きいため、メモリセルの一部に不良が発生することが避けられず、ロジック回路及びメモリの試験時間が増大するため、これを効率よく救済して試験時間の短縮が要求されている。

【0003】

【従来の技術】 従来、CPU等の機能ブロックと共に同一チップ上に形成された大容量のメモリにおいて、メモリセルの一部に不良が発生した場合にチップが不良となるのを救済する方法として冗長セルが備えられている。図 15 に示すように、複数のメモリセル C がビット線 B<sub>L</sub> 及びワード線 W<sub>L</sub> に接続されて 2 次元のメモリセルアレイ 1 を構成している。また、メモリセルアレイ 1 に

セルRCが設けられ、冗長セル列(図15において最下  
列)及び冗長セル行(図15において最右行)を構成し  
ている。ワード線WL、冗長ワード線RW、ビット線B  
L、及び冗長ビット線RBはそれぞれヒューズHを介し  
てはメモリデコード部2に接続されている。

【0004】そして、メモリセルCの一部、例えば図2  
1に示すメモリセルCSが不良となった場合、その不良  
メモリセルCSが接続されているデコード線(ビット線  
BL又はワード線WL)をメモリデコード部2から切り  
離す。そして、冗長セル行又は冗長セル列を使用するこ  
とによりメモリセルCが救済される。

【0005】その方法は、デコード線を切り替えるため  
にまず1回目の試験により不良メモリセルの場所を特定  
する。その試験結果に基づいてデコード線を物理的(デ  
コード線のヒューズHの溶断、及び、不良アドレス(切  
断したビット線BL又はワード線WLを選択するアドレ  
ス)をレーザによるプログラミングあるいはヒューズの  
溶断等の方法により登録)切り替えを行う。更に、2回  
目の試験を行い、冗長セル行又は列への切り換えが正し  
く行われたか、即ち、プログラミング等によってデコー  
ド線の切り離し及び不良アドレスの登録が確実に行われ  
たかを確認する。

【0006】

【発明が解決しようとする課題】ところで、複数の機能  
ブロックと大容量のメモリをワンチップに内蔵したLS  
I等では、機能ブロック部はロジックテスターにて試験  
しメモリ部分はメモリテスターにて試験する方法や、機  
能ブロック・メモリ共にロジックテスターで試験する方  
法がとられる。その為、メモリ容量が多くなると、LS  
Iの試験時間が益々増大する。更に、不良セルを冗長セ  
ルをとるため、試験時間が増大する傾向にある。そこに  
不良セルを冗長セルに切り換えるために2回の試験と物  
理的な切り換えの作業とを行わなければならないため、  
更に試験時間が増大し、試験コストが増してしまうとい  
った問題を生じていた。

【0007】本発明は上記問題点を解決するためになさ  
れたものであって、その目的は冗長メモリセルへの切り  
換えにかかる試験時間を短縮することのできる不良アド  
レスの代替方法、半導体記憶装置、及び、半導体装置を  
提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するた  
め、請求項1に記載の発明は、メモリ部に発生する不良  
メモリセルの不良アドレスを前記メモリ部に備えられた  
冗長メモリセルのアドレスに代替させて前記不良メモリ  
セルを救済するための不良アドレスの代替方法であっ  
て、前記不良メモリセルを選択する不良アドレスを予め  
記憶すると共に、前記冗長メモリセルを選択する冗長ア  
ドレスを予め記憶しておき、入力される外部アドレスと  
前記不良アドレスとを比較し、その比較結果に基づい

て、前記外部アドレスと前記不良アドレスとが一致する  
場合には前記冗長アドレスを内部アドレスとして生成  
し、前記不良メモリセルを前記生成された内部アドレス  
により選択されるメモリセルにより代替するようにした  
ことを要旨とする。

【0009】請求項2に記載の発明は、ワード線又はビ  
ット線に接続されたメモリセルと、冗長ワード線又は冗  
長ビット線に接続された冗長メモリセルとを備えたメモ  
リ部において、前記メモリセルが不良の場合に該不良メ  
モリセルを前記冗長メモリセルにより救済するために前  
記不良メモリセルが接続されたワード線又はビット線  
を選択するアドレスを不良アドレスとして該不良アドレ  
スを前記冗長メモリセルが接続された冗長ワード線又は  
冗長ビット線を選択する冗長アドレスに代替させる不良ア  
ドレスの代替方法であって、前記不良メモリセルが接続  
されたワード線又はビット線を選択するロウアドレス又  
はコラムアドレスを不良アドレスとして予め記憶すると  
共に、前記冗長ワード線又は前記冗長ビット線を選択す  
るためのアドレスを冗長アドレスとして予め記憶してお  
き、入力される前記アドレスと前記不良アドレスとを比  
較し、その比較結果に基づいて、前記アドレスと前記不  
良アドレスとが一致する場合には前記冗長アドレスを内  
部アドレスとし、該アドレスにより前記冗長ワード線又  
は前記冗長ビット線を選択するようにしたことを要旨と  
する。

【0010】請求項3に記載の発明は、メモリセルと冗  
長メモリセルとを備えたメモリセル部と、入力される外  
部アドレスをデコードして前記メモリセル部のうちの1  
つを選択するメモリセルデコード部とを備えた半導体記  
憶装置において、前記メモリセル部に発生する不良メモ  
リセルのアドレスが不良アドレスとして予め記憶され  
ると共に、前記冗長メモリセルのアドレスが冗長アドレ  
スとして予め記憶され、前記外部アドレスが入力され、該  
外部アドレスと前記不良アドレスとを比較し、その比較  
結果に基づいて、前記外部アドレスと前記不良アドレ  
スとが一致しない場合には前記外部アドレスを内部アド  
レスとして出力し、前記外部アドレスと前記不良アドレ  
スとが一致する場合には前記冗長アドレスを内部アドレ  
スとして出力するアドレス変換部を備え、前記メモリセ  
ルデコード部は、前記アドレス変換部から入力される内部  
アドレスに基づいて前記メモリセル又は冗長メモリセル  
を選択するようにしたことを要旨とする。

【0011】請求項4に記載の発明は、請求項3に記載  
の半導体記憶装置において、前記アドレス変換部は、前  
記メモリセル部に発生する不良メモリセルのアドレスが  
不良アドレスとして予め記憶されると共に前記外部アド  
レスが入力され、該外部アドレスと前記不良アドレスと  
を比較するアドレス比較部と、前記冗長メモリセルのア  
ドレスが冗長アドレスとして予め記憶される冗長アドレ  
スレジスタを備え、前記アドレス比較部の比較結果に基

7  
づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成されたことを要旨とする。

【0012】請求項5に記載の発明は、請求項4に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられ、前記アドレス切り換え部は、前記予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタを備え、複数の前記アドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【0013】請求項6に記載の発明は、請求項4又は5に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される不良アドレスレジスタと、前記外部アドレスが入力され、該外部アドレスと前記不良アドレスレジスタ記憶された前記不良アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて前記外部アドレス又は前記冗長アドレスを出力するようにしたことを要旨とする。

【0014】請求項7に記載の発明は、ワード線又はビット線に接続されたメモリセルと冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリセル部と、前記ワード線及び冗長ワード線又は前記ビット線及び冗長ビット線が接続され、入力されるロウアドレス又はコラムアドレスに基づいて前記ワード線又は前記ビット線を選択するロウデコーダ又はコラムデコーダとを備えた半導体記憶装置において、前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、前記外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するロウアドレス変換部又はコラムアドレス変換部を備え、前記ロウデコーダ又は前記コラムデコーダは、前記ワード線又は冗長ワード線、若しくは前記ビット線又は冗長ビット線を選択するようにしたこと

を要旨とする。

【0015】請求項8に記載の発明は、請求項7に記載の半導体記憶装置において、前記アドレス変換部は、前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記外部アドレスと前記不良アドレスとを比較するアドレス比較部と、前記冗長ワード線又は前記冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成されたことを要旨とする。

【0016】請求項9に記載の発明は、請求項8に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられ、前記アドレス切り換え部は、前記予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタを備え、前記複数のアドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【0017】請求項10に記載の発明は、請求項8又は9に記載の半導体記憶装置において、前記アドレス比較部は、前記不良アドレスを記憶する不良アドレスレジスタと、前記不良アドレスレジスタに記憶された不良アドレスと、前記外部アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【0018】請求項11に記載の発明は、メモリセルと、該メモリセルに対して予め用意された冗長メモリセルとを備え、外部から入力されるアドレスに基づいて前記メモリ又は冗長メモリセルを選択するメモリ部と、少なくとも前記メモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理を実行する処理部と、前記処理部から前記メモリ部をアクセスするためのアドレスが入力され、該アドレスを請求項1又は2に記載の方法により変換した内部アドレスを前記処理部に出力するアドレス変換部とを備え、前記処理部は、前記アクセスステージに先立って前記ア

ドレス変換部により前記メモリ部をアクセスするアドレスを変換する変換ステージを備え、該変換ステージによる変換後のアドレスに基づいてアクセスステージにおいて前記メモリ部をアクセスするようにしたことを要旨とする。

【0019】（作用）従って、請求項1に記載の発明によれば、不良メモリセルを選択する不良アドレスが予め記憶されると共に、冗長メモリセルを選択する冗長アドレスが予め記憶される。そして、入力される外部アドレスと不良アドレスとが比較され、その比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして生成され、不良メモリセルがその生成された内部アドレスにより選択されるメモリセルに代替される。

【0020】請求項2に記載の発明によれば、不良メモリセルが接続されたワード線又はビット線を選択するロウアドレス又はコラムアドレスが不良アドレスとして予め記憶されると共に、冗長ワード線又は冗長ビット線を選択するためのアドレスが冗長アドレスとして予め記憶される。そして、入力されるアドレスと不良アドレスとが比較され、その比較結果に基づいて、アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとされ、その内部アドレスにより冗長ワード線又は冗長ビット線が選択される。

【0021】請求項3に記載の発明によれば、アドレス変換部には、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に、冗長メモリセルのアドレスが冗長アドレスとして予め記憶される。アドレス変換部には外部アドレスが入力され、外部アドレスと不良アドレスとが比較され、その比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。そして、メモリセルデコード部は、アドレス変換部から入力される内部アドレスに基づいて、外部アドレスが不良アドレスと一致する場合に、その不良アドレスの不良メモリセルに代えてメモリセル又は冗長メモリセルが選択される。

【0022】請求項4に記載の発明によれば、アドレス変換部は、アドレス比較部とアドレス切り換え部とから構成される。アドレス比較部には、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に外部アドレスが入力され、外部アドレスと不良アドレスとが比較される。アドレス切り換え部には、冗長メモリセルのアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタが備えられる。アドレス切り換え部は、アドレス比較部の比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外

部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。

【0023】請求項5に記載の発明によれば、アドレス比較部は、メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられる。アドレス切り換え部には、予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタが備えられ、複数のアドレス比較部からの比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合に複数のアドレス比較部にそれぞれ記憶された不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【0024】請求項6に記載の発明によれば、アドレス比較部は、不良アドレスレジスタとコンパレータとから構成される。不良アドレスレジスタには、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される。コンパレータには、外部アドレスが入力され、外部アドレスと不良アドレスレジスタ記憶された不良アドレスとが比較されて外部アドレスと不良アドレスとが一致するか否かが判断され、その判断結果が判定信号として出力される。そして、アドレス切り換え部は、コンパレータからの判定信号に基づいて外部アドレス又は冗長アドレスが出力される。

【0025】請求項7に記載の発明によれば、ロウアドレス変換部又はコラムアドレス変換部には、メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、外部アドレスと不良アドレスとが比較される。その比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。そして、ロウデコード又はコラムデコードには、アドレス変換部から出力される内部アドレスが入力され、該アドレスに基づいてワード線又は冗長ワード線、若しくはビット線又は冗長ビット線が選択される。

【0026】請求項8に記載の発明によれば、アドレス変換部は、アドレス比較部とアドレス切り換え部とから構成される。アドレス比較部は、メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、外部アドレスと不良アドレスとが比較される。アドレス切り換え部には、冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタが備えられ、アドレス比較部の比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する



場合には冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【0027】請求項9に記載の発明によれば、アドレス比較部は、メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられる。アドレス切り換え部には、予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタが備えられ、複数のアドレス比較部からの比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合に不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【0028】請求項10に記載の発明によれば、アドレス比較部は、不良アドレスレジスタとコンパレータとから構成される。不良アドレスレジスタには、不良アドレスが記憶され、コンパレータは、不良アドレスレジスタに記憶された不良アドレスと、外部アドレスとが比較されて外部アドレスと不良アドレスとが一致するかが判断され、その判断結果が判定信号として出力される。そして、アドレス切り換え部は、コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスが内部アドレスとして出力される。

【0029】請求項11に記載の発明によれば、メモリ部には、メモリセルと、メモリセルに対して予め用意された冗長メモリセルとが備えられ、外部から入力されるアドレスに基づいてメモリ又は冗長メモリセルが選択されアクセスされる。処理部には、少なくともメモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理が実行される。アドレス変換部には、処理部からメモリ部をアクセスするためのアドレスが入力され、アドレスが請求項1又は2に記載の方法により変換された内部アドレスが処理部に出力される。そして、処理部には、アクセスステージに先立ってアドレス変換部によりメモリ部をアクセスするアドレスが変換される変換ステージが備えられ、その変換ステージによる変換後のアドレスに基づいてアクセスステージにおいてメモリ部がアクセスされるので、アクセスステージがアドレス変換により時間がかかることはない。

【0030】

【発明の実施の形態】

(第一実施形態) 以下、本発明を具体化した第一実施形態を図1～図9に従って説明する。

【0031】図2に示すように、半導体装置11は、内部回路12及びメモリ13を備えている。内部回路12及びメモリ13は、同一チップ上に形成されている。内部回路12はCPU等のロジック回路よりなり、メモリ13に記憶された命令等の各種データに基づいて動作する。メモリ13は本実施形態ではダイナミックランダムアクセスメモリ (Dynamic Random Access Memory: DR

AM) よりなる。図1に示すように、メモリ13はメモリ回路部14と試験回路部15とを備える。

【0032】メモリ回路部14は、メモリセルデコード部21とメモリセル部22を備えている。図3に示すように、メモリセル部22は、複数のメモリセルCと複数の冗長メモリセルRCとを備える。尚、図3にはそれぞれ1つが示されている。

【0033】各メモリセルCは複数のワード線WLとビット線BLとの交点にそれぞれ接続されている。各冗長メモリセルRCは、冗長ワード線RWLとビット線BLとの交点に接続されている。各ワード線WL、冗長ワード線RWL、及び、各ビット線BLはメモリセルデコード部21に接続されている。

【0034】図1に示すように、メモリセルデコード部21には、外部からアドレス信号ADDRが入力される。外部アドレスADDRは、メモリセルCの数に対応している。即ち、メモリセル部22にm個のメモリセルCが備えられている場合、そのメモリセルCの数に対応して例えば0h (h: 16進を示す) ～(m-1) hの外部アドレスADDRがメモリセルデコード部21に供給される。

【0035】メモリセルデコード部21は、外部アドレスADDRをデコードして1本のワード線WL及びビット線BLを選択(活性化)する。そして、活性化されたワード線WL及びビット線BLの交点に接続されたメモリセルCが選択され、選択された当該メモリセルCに対してセル情報の書き込み又は読み出しが行われる。

【0036】また、図1に示すように、メモリ回路部14は、アドレス変換部としての不良アドレス変換回路23を備える。不良アドレス変換回路23は、メモリセルCが不良となった場合に、当該メモリセルC(以下、他の正常なメモリセルと区別するために不良メモリセルという)を冗長メモリセルRCに代替するために設けられている。

【0037】不良アドレス変換回路23は、外部アドレスADDRに基づいてメモリセル部22の不良メモリセルが選択される場合に、当該不良メモリセルを冗長メモリセルに代替する。具体的には、不良アドレス変換回路23は、不良メモリセルを選択するアドレス(以下、不良アドレスという)が外部アドレスADDRとして入力された場合に、その不良アドレスを冗長メモリセルを選択するアドレス(以下、冗長アドレスという)の内部アドレスNADに変換するために設けられている。

【0038】不良アドレス変換回路23は、アドレス比較部24及びアドレス切り換え部25を備える。アドレス比較部24は、入力される外部アドレスADDRが不良アドレスか否かを判断するために設けられている。アドレス切り換え部25は、アドレス比較部24の判断結果に基づいて、入力される外部アドレスADDRを冗長アドレスに切り換えるために設けられている。



【0039】アドレス比較部24は、複数(n個)の不良アドレス比較部26を備える。不良アドレス比較部26は、救済可能なメモリセルCの数、即ち、メモリセル部22に予め用意される冗長メモリセルRCの数だけ設けられている。不良アドレス比較部26は、一致比較器としてのコンパレータ27と不良アドレスレジスタ28とから構成される。

【0040】図4に示すように、各不良アドレスレジスタ28は、メモリセルのアドレスを格納可能なビット数(本実施形態では4ビット)のレジスタである。また、各不良アドレスレジスタ28は、OTPROM、EPROM等のPROMや、NVRAM等の不揮発性メモリより構成されている。各不良アドレスレジスタ28には、不良メモリセルの不良アドレスが予め記憶されている。

【0041】各コンパレータ27には、外部アドレスADDRと不良アドレスレジスタ28に記憶された不良アドレスとが入力される。各コンパレータ27は、外部アドレスADDRと不良アドレスとを比較する。そして、各コンパレータ27は、比較結果に基づいて、外部アドレスADDRと不良アドレスとの大小関係に応じた判定信号C1~Cn(nは不良アドレス比較回路部の数、即ち、予め用意される冗長メモリセルRCの数)をアドレス切り換え部25に出力する。

【0042】具体的には、各コンパレータ27は、比較の比較結果に基づいて、外部アドレスADDRと不良アドレスとが一致する場合に「1」(Hレベル)の判定信号C1~Cnを出力する。また、各コンパレータ27は、外部アドレスADDRと不良アドレスとが一致しない場合に「0」(Lレベル)の判定信号C1~Cnを出力するように設定されている。

【0043】尚、メモリセル部22に発生する不良メモリセルが用意された冗長メモリセルの数よりも少ない場合がある。この場合、メモリ試験の結果、不良アドレスが格納されない不良アドレスレジスタ28には通常全てのビットが「1」となっている。従って、不良アドレスが記憶されていない不良アドレス比較部26のコンパレータ27は、「0」(Lレベル)の判定信号C1~Cnを出力する。

【0044】即ち、不良アドレス比較部26は、外部アドレスADDRと各不良アドレスレジスタ28に格納された不良アドレスをそれぞれ比較する。そして、アドレス比較部は、外部アドレスADDRと一致する不良アドレスに対応した判定信号C1~CnをHレベルにして出力する。

【0045】図1に示すように、アドレス切り換え部25は、前記外部アドレスADDRが入力されるとともに、アドレス比較部24による比較結果である判定信号C1~Cnが入力される。また、アドレス切り換え部25には、メモリセル部22を構成する冗長メモリセルの冗長アドレスが予め記憶されている。アドレス切り換え

部25は、判定信号C1~Cnに基づいて、外部アドレスADDRと冗長アドレスとを切り換えて内部アドレスとして出力するために設けられている。図6はアドレス切り換え部25の一例を示すブロック回路図である。アドレス切り換え部25は、複数(n個)の冗長アドレスレジスタRR1~RRn、第1、第2の切り換えスイッチSWa、SWb1~SWbn、及び、ノア回路29を備える。ノア回路29には、全ての判定信号C1~Cnが入力される。第1、第2の切り換えスイッチSWa、SWb1~SWbnは、例えばCMOSトランジスタよりなり、電気的に切り換え制御される。

【0046】第1の切り換えスイッチSWaは、外部アドレスADDRが入力される。第1の切り換えスイッチSWaは、前記ノア回路29のHレベルの出力信号に基づいてオン制御される。そして、オン制御された第1の切り換えスイッチSWaを介して、外部アドレスADDRが内部アドレスとしてメモリセルデコード部21に出力される。

【0047】第2の切り換えスイッチSWb1~SWbnは、それぞれ冗長アドレスレジスタRR1~RRnに接続され、対応する判定信号C1~Cnに基づいてオンオフ制御される。各冗長メモリレジスタRR1~RRnは、メモリセル部22に用意された冗長メモリセルRCのアドレス(以下、冗長アドレスという)が予め格納されている。即ち、第2の切り換えスイッチSWb1~SWbn及び冗長アドレスレジスタRR1~RRnは、メモリセル部22に予め用意された複数の冗長メモリセルの数だけ備えられている。

【0048】そして、Hレベルの判定信号C1~Cnに基づいてオンした第2の切り換えスイッチSWb1~SWbnを介して、その第2の切り換えスイッチSWb1~SWbnに接続された冗長アドレスレジスタRR1~RRnの冗長アドレスが内部アドレスとして出力される。各判定信号C1~Cnは、予め記憶された不良アドレスに対応している。従って、アドレス切り換え部25は、不良アドレスに対応した冗長アドレスを出力する。

【0049】即ち、アドレス変換回路23は、外部アドレスADDRと予め記憶された不良アドレスとを比較する。そして、アドレス変換回路23は、外部アドレスADDRが不良アドレスと一致しない場合に外部アドレスADDRを内部アドレスとして出力する。一方、アドレス変換回路23は、外部アドレスADDRが不良アドレスと一致する場合に当該不良アドレスに対応する冗長アドレスを内部アドレスとして出力する。

【0050】メモリセルデコード部21は、内部アドレスが入力される。メモリセルデコード部21のロウデコード21aは、内部アドレスに基づいてワード線WL、冗長ワード線のうちの1本を選択し活性化させる。また、メモリセルデコード部21のコラムデコード21bは、内部アドレスに基づいてビット線のうちの1本を選

択し活性化させる。そして、活性化されたワード線（又は冗長ワード線）とビット線との交点に接続されたメモリセル又は冗長メモリセルが選択され、そのメモリセル（又は冗長メモリセル）に対してセル情報の読み出し・書き込みが行われる。

【0051】尚、本実施形態では、前記不良アドレスは、メモリに備えられた試験回路部15により格納される。試験回路部15には図示しない試験装置からテストモード信号TMが入力される。試験装置は、内部回路12及びメモリに対して電気的特性やメモリセルの不良検出等の様々な試験するためのものであり、半導体装置を着脱可能なソケットを備える。

【0052】試験装置は、メモリセルCの不良検出試験において試験回路部15にテストモード信号TMを供給する。そのテストモードにおいて、試験装置は、先ずメモリセルCを順次選択し、全てのメモリセルCに対して予め設定されたセル情報を格納する。次に、試験装置は、再びメモリセルCを順次選択し、その選択したメモリセルに記憶されたセル情報を読み出す。従って、メモリセルCに格納したセル情報と、次にメモリセルから読み出したセル情報とを比較することにより、メモリセルCが正常か不良かが判断される。

【0053】即ち、試験回路部15は、試験装置からテストモード信号TMが入力されると、メモリセルCの不良検出試験を行うためのテストモードとなる。そのテストモードにおいて、試験回路部は、メモリセルCから順次読み出されたセル情報が入力される。試験回路部には、予めメモリセルCに格納するセル情報を記憶するレジスタ（図示略）が備えられている。試験回路部15は、入力されたセル情報に基づいて当該セル情報が読み出されたメモリセルCが正常か不良かを判断する。そして、試験回路部は、不良と判断したメモリセルCのアドレスを不良アドレスとして不良アドレスレジスタ28に格納する。

【0054】次に、上記のように構成された半導体装置の作用を図7～図9に従って説明する。ここで、説明を簡単にするために、図7に示すように、8個のメモリセルCと4個の冗長メモリセルRCとから構成されたメモリセル部22に従って説明する。

【0055】不良なメモリセルが存在しない場合、各メモリセルCは、それぞれ外部アドレスADDRが「00h」（h：16進）～「07h」の時にアクセス（セル情報の読み出し・書き込み）されるものとする。そして、各冗長メモリセルRCをアドレス（08h）～（0Bh）とする。

【0056】従って、アドレス変換回路には、4個の冗長メモリセルRCに対応して4個の不良アドレス比較部26が備えられ、判定信号C1～C4が生成され出力される。そして、アドレス切り換え部25の各冗長アドレスレジスタには、それぞれ冗長メモリセルRCのアド

スが上位アドレスから順番に予め格納されている。即ち、4個の冗長アドレスレジスタ28には、それぞれアドレス（0Bh）～（08h）が格納されている。

【0057】尚、冗長メモリセルに設定されたアドレス（08h）～（0Bh）は、通常、外部アドレスADDRとして入力されない。即ち、外部アドレスADDRは、メモリセルCに設定されたアドレス00h～07hが入力される。

【0058】半導体装置は、試験装置のソケットに装着され、内部回路12及びメモリの試験が行われる。そのメモリの試験において、試験回路部15は、試験装置からのテストモード信号TMに基づいてテストモードとなり、メモリセル部22の各メモリセルCから読み出されたセル情報に基づいてアドレス03h、06hの不良を検出する。そして、試験回路部15は、検出した不良のメモリセルCのアドレス03h、06hを不良アドレスとして2個の不良アドレス比較部26の不良アドレスレジスタ28にそれぞれ格納する。

【0059】次に、システム等に組み込まれた半導体装置のメモリは、通常の使用状態（テストモード信号TMが入力されない）において、外部アドレスADDRが入力される。その外部アドレスADDRは、アドレス変換回路に供給される。

【0060】例えば、外部アドレスADDRが「01h」の場合、不良アドレス比較部26の2個のコンパレータ27は、それぞれ外部アドレスADDRが不良アドレスレジスタ28に格納された不良アドレスと一致しないので、「0」（Lレベル）の判定信号C1、C2をアドレス切り換え部25に出力する。また、他の2個のコンパレータ27は、不良アドレスが不良アドレスレジスタ28に格納されていないので、共に「0」（Lレベル）の判定信号C3、C4を出力する。

【0061】アドレス切り換え部25は、Lレベルの判定信号C1～C4に基づいて第1の切り換えスイッチSWaのみをオンに制御する。そのオンされた第1切り換えスイッチSWaを介して外部アドレスADDRがそのまま内部アドレスNADとしてメモリセルデコード部21に出力される。

【0062】メモリセルデコード部21は、入力される内部アドレスNAD、即ち、外部アドレスADDRに基づいてアドレス「01h」のメモリセルCを選択する。そして、選択されたメモリセルCに対して、セル情報の読み出し又は書き込みが行われる。

【0063】次に、例えば外部アドレスADDRが「03h」の場合、コンパレータ27は、外部アドレスADDRと不良アドレスとが一致するので、「1」（Hレベル）の判定信号C1を出力する。コンパレータ27は、外部アドレスADDRと不良アドレスとが一致しないので、「0」（Lレベル）の判定信号C2を出力する。

【0064】アドレス切り換え部25は、入力されるH

レベルの判定信号C1とLレベルの判定信号C2～C4に基づいて、第2の切り換えスイッチSWb1のみをオンに制御する。そのオンされた第2の切り換えスイッチSWb1を介して冗長アドレスレジスタRR1に格納された冗長アドレス(0Bh)が内部アドレスNADとして出力される。

【0065】メモリセルデコード部21は、入力される内部アドレスNAD(0Bh)に基づいて冗長メモリセルRC3を選択する。そして、選択された冗長メモリセルRCに対して、セル情報の書き込み又は読み出しが行われる。

【0066】従って、図9に示すように、外部アドレスADDRは「03h」に対してメモリセルCに代えて冗長メモリセルRCが選択されアクセスされる。即ち、1個の不良なメモリセルCが1個の冗長メモリセルRCによって救済されている。

【0067】尚、外部アドレスADDRが「06h」の場合も上記と同様であるため、説明を省略する。ところで、図15に示す従来の不良メモリセルの救済方法では、不良メモリセルが接続されたワード線WL又はビット線BLを物理的に切り離し、その切り離したワード線WL又はビット線BLに代えて冗長ワード線RW又は冗長ビット線RBを選択するようにしている。即ち、不良メモリセルをその不良メモリセルが接続されたワード線WLごと代替させて不良メモリを救済している。

【0068】そのため、切り離されたワード線WL又はビット線BLに接続された正常なメモリセルCは使用されなくなるので、その分メモリセルCに無駄が生じる。従って、メモリが大容量になって1本のワード線WL又はビット線BLに接続されるメモリセルCの数が多くなるほど、使用されなくなって無駄となるメモリセルCの数が多くなる。

【0069】しかしながら、本実施形態では、不良メモリセルの不良アドレスを不良アドレスレジスタ28に記憶しておく。そして、外部アドレスADDRと不良アドレスとを比較した結果に基づいて、外部アドレスADDRが不良アドレスと一致する場合に外部アドレスADDRを予め記憶しておいた冗長アドレスに切り換えて内部アドレスNADとして出力させ、不良メモリセルのみを冗長メモリセルに代替させて救済している。

【0070】即ち、不良メモリセルが接続されたワード線WL又はビット線BLは物理的に切り離されない。従って、不良メモリセルが接続されたワード線WL又はビット線BLに接続された他の正常なメモリセルCはそのまま使用されるので、メモリセルCを無駄にすることなく、効率よくメモリセルCの救済が行われる。

【0071】以上記述したように、本実施の形態によれば、以下の効果を奏する。メモリ13には、メモリセル部22、メモリセルデコード部21、及び、不良アドレス変換回路23を備える。不良アドレス変換回路23に

はアドレス比較部24とアドレス切り換え部25とが設けられている。アドレス比較部24に備えられたコンパレータ27は、不良アドレスレジスタ28に記憶されたメモリセル部22に発生する不良メモリセルの不良アドレスと、外部アドレスADDRとを一致比較し、その比較結果を判定信号C0～Cnを出力する。アドレス切り換え部25は、コンパレータ27の比較結果に基づいて外部アドレスADDRに代えて予め記憶した冗長アドレスを内部アドレスとして出力し、メモリセルデコード部21は、入力される内部アドレスにより不良メモリセルを冗長メモリセルRCに代替させている。即ち、不良メモリセルを電氣的に冗長メモリセルRCに代替させている。従って、1回目の試験後の物理的にワード線WLを冗長ワード線RWに、又はビット線BLを冗長ビット線RBに切り換える作業と、2回目の試験により物理的に切り換えが正常に行われたかを検証する作業を行う必要がない。

【0072】その結果、メモリ回路部14に対する試験を不良メモリセルを検出する1回目の試験のみとする事ができるので、その分、半導体装置の試験時間を短縮することができるとともに、半導体装置の試験コストを低減することができる。

【0073】不良アドレスレジスタ28には、メモリセル部22にて発生した不良メモリセル毎にその不良アドレスが記憶される。アドレス変換部は、入力される外部アドレスADDRと予め記憶された不良アドレスとを比較し、その比較結果に基づいてアドレスADDRが不良アドレスと一致する場合にその不良アドレスに対応した冗長アドレスを内部アドレスNADとして出力する。メモリセルデコード部21は、アドレス変換部から入力される内部アドレスNADをメモリセル部22に出力し、不良メモリセルに代えて冗長メモリセルをアクセスする。

【0074】その結果、1つの不良メモリセルが1つの冗長メモリセルRCにより救済されている。従って、従来のように不良メモリセルが接続されたワード線WLを冗長メモリセルRWに物理的に切り換える救済方法に比べて、ワード線WLに接続された不良メモリセル以外の正常なメモリセルCが使用されるため、メモリセルを効率よく救済することができる。

【0075】(第二実施形態)以下、本発明を具体化した第二実施形態を図10及び図11に従って説明する。尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0076】図10は、本実施形態のメモリ31のブロック回路図である。本実施形態のメモリ31は、図2に示すメモリ13に代えて半導体装置11に備えられ、内部回路12からアクセスされる。

【0077】メモリ31は、メモリセル部32、メモリセルデコード部33、及び、試験回路部15を備えてい

る。メモリセル部32は、複数(図10において4本)のワード線WL1~WL4と、複数(図10において4本)のビット線BL1~BL4との交点に接続された複数のメモリセルCを備える。尚、図面が煩雑になるのを防ぐためにワード線WL1とビット線BL1との交点に接続されたメモリセルCのみを示してある。

【0078】また、メモリセル部32は、複数(図10において2本)の冗長ワード線RW1、RW2と、複数(図10において2本)の冗長ビット線RB1、RB2が備えられ、冗長ワード線RW1、RW2とビット線BL1~BL4との交点、ワード線WL1~WL4と冗長ビット線RB1、RB2との交点に接続された複数の冗長メモリセルRCを備える。尚、図面が煩雑になるのを防ぐためにワード線WLと冗長ビット線RB1との交点に接続された冗長メモリセルRCのみを示してある。

【0079】ワード線WL1~WL4、冗長ワード線RW1、RW2、ビット線BL1~BL4、及び、冗長ビット線RB1、RB2は、メモリセルデコード部33に接続されている。メモリセルデコード部33は、外部アドレスADDRが入力される。メモリセルデコード部33は、ロウデコーダ34及びコラムデコーダ35を備える。メモリセルデコード部33は、入力される外部アドレスADDRを外部ロウアドレスRAと外部コラムアドレスCAとに分け、外部ロウアドレスRAをロウデコーダ34に、外部コラムアドレスCAをコラムデコーダ35に供給する。

【0080】ロウデコーダ34は、供給される外部ロウアドレスRAに基づいてワード線WL1~WL4のうちの1本を選択し活性化する。コラムデコーダ35は、供給されるコラムアドレスに基づいてビット線BL1~BL4のうちの1本を選択し活性化する。選択されたワード線WL1~WL4とビット線BL1~BL4の交点に接続されたメモリセルCが選択され、その選択されたメモリセルCに対してセル情報の読み出し・書き込みが行われる。

【0081】また、メモリセルデコード部33は、ロウアドレス変換回路36とコラムアドレス変換回路37とを備える。ロウアドレス変換回路36は、メモリセル部32に発生した不良メモリセルが接続されたワード線WL1~WL4を選択する不良ロウアドレスを、冗長メモリセルが接続された冗長ワード線RW1、RW2を選択する冗長ロウアドレスに変換するために設けられている。同様に、コラムアドレス変換回路37は、メモリセル部32に発生する不良アドレスが接続されたビット線BL1~BL4を選択する不良コラムアドレスを、冗長メモリセルRCが接続された冗長ビット線RB1、RB2を選択する冗長コラムアドレスに変換するために設けられている。

【0082】ロウアドレス変換回路36は、第一実施形態のアドレス変換回路23と同様に構成されている。即

ち、ロウアドレス変換回路36は、ロウアドレス比較部38及びロウアドレス切り換え回路39を備える。ロウアドレス比較部38は、メモリセル部32に予め用意された冗長ワード線RW1、RW2の本数に対応した2つのアドレス比較部40a、40bを備える。各アドレス比較部40a、40bは、それぞれ不良アドレスレジスタ41とコンパレータ42とから構成される。

【0083】各不良アドレスレジスタ41には、メモリ不良試験により検出された不良メモリセルが接続されたワード線WL1~WL4を選択するロウアドレスが不良ロウアドレスとして予め記憶されている。その不良ロウアドレスは、第1、第2実施形態と同様に、テストモードとなった試験回路部15により格納される。

【0084】各コンパレータ42は、外部アドレスADDRより分けられたロウアドレスRAが入力される。また、各コンパレータ42は、不良アドレスレジスタ41に記憶された不良ロウアドレスが入力される。各コンパレータ42は、ロウアドレスRAと不良ロウアドレスとを比較し、その比較結果に基づいて、ロウアドレスRAと不良ロウアドレスとが一致する場合にHレベルの判定信号Ra1、Ra2をロウアドレス切り換え回路39に出力する。また、各コンパレータ42は、比較結果に基づいて、ロウアドレスRAと不良ロウアドレスとが一致しない場合にLレベルの判定信号Ra1、Ra2をロウアドレス切り換え回路39に出力する。

【0085】ロウアドレス切り換え回路39は、前記ロウアドレスRAが入力される。ロウアドレス切り換え回路39は、冗長アドレスレジスタ39a、39bを備える。各冗長アドレスレジスタ39a、39bには、それぞれ前記不良ロウアドレスに対応して冗長ワード線RW1、RW2を選択するための冗長ロウアドレスが予め記憶されている。

【0086】ロウアドレス切り換え回路39は、第一実施形態のアドレス切り換え回路25と同様に動作する。即ち、ロウアドレス切り換え回路39は、コンパレータ42から入力される判定信号Ra1、Ra2に基づいて、ロウアドレスRAが不良アドレスレジスタ41に記憶された不良ロウアドレスのいずれにも一致しない場合、そのロウアドレスRAを内部ロウアドレスNRAとしてロウデコーダ34に出力する。また、ロウアドレス切り換え回路39は、判定信号Ra1、Ra2に基づいて、ロウアドレスRAが不良ロウアドレスと一致する場合、その一致した不良ロウアドレスに対応して冗長アドレスレジスタ39a、39bに記憶された冗長ロウアドレスを内部ロウアドレスNRAとしてロウデコーダ34に出力する。ロウデコーダ34は、入力される内部ロウアドレスNRAに基づいてワード線WL1~WL4及び冗長ワード線RW1、RW2のうちの1本を選択する。

【0087】また、コラムアドレス変換回路37は、第

一実施形態のアドレス変換回路25と同様に構成されている。即ち、コラムアドレス変換回路37は、コラムアドレス比較部43及びコラムアドレス切り換え回路44を備える。コラムアドレス比較部43は、メモリセル部32に予め用意された冗長ビット線RB1、RB2の本数に対応した2つのアドレス比較部45a、45bを備える。各アドレス比較部45a、45bは、それぞれ不良アドレスレジスタ46とコンパレータ47とから構成される。

【0088】各不良アドレスレジスタ46には、メモリ不良試験により検出された不良メモリセルが接続されたビット線BL1〜BL4を選択するコラムアドレスが不良コラムアドレスとして予め記憶されている。その不良コラムアドレスは、第1、第2実施形態と同様に、テストモードとなった試験回路部15により格納される。

【0089】各コンパレータ47は、外部アドレスADDRより分けられたコラムアドレスCAが入力される。また、各コンパレータ47は、不良アドレスレジスタ46に記憶された不良コラムアドレスが入力される。各コンパレータ47は、コラムアドレスCAと不良コラムアドレスとを比較し、その比較結果に基づいて、コラムアドレスCAと不良コラムアドレスとが一致する場合にHレベルの判定信号Ra1、Ra2をコラムアドレス切り換え回路44に出力する。また、各コンパレータ47は、比較結果に基づいて、コラムアドレスCAと不良コラムアドレスとが一致しない場合にLレベルの判定信号Ra1、Ra2をコラムアドレス切り換え回路44に出力する。

【0090】コラムアドレス切り換え回路44は、前記コラムアドレスCAが入力される。コラムアドレス切り換え回路44は、冗長アドレスレジスタ44a、44bを備える。各冗長アドレスレジスタ44a、44bには、それぞれ前記不良コラムアドレスに対応して冗長ビット線RB1、RB2を選択するための冗長コラムアドレスが予め記憶されている。

【0091】コラムアドレス切り換え回路44は、第一実施形態のアドレス切り換え回路25と同様に動作する。即ち、コラムアドレス切り換え回路44は、コンパレータ47から入力される判定信号Ca1、Ca2に基づいて、コラムアドレスCAが不良コラムアドレスのいずれにも一致しない場合、そのコラムアドレスCAを内部コラムアドレスNCAとしてコラムデコーダ35に出力する。また、コラムアドレス切り換え回路44は、判定信号Ca1、Ca2に基づいて、コラムアドレスCAが不良コラムアドレスと一致する場合、その一致した不良コラムアドレスに対応して冗長アドレスレジスタ44a、44bに記憶した冗長コラムアドレスを内部コラムアドレスNCAとしてコラムデコーダ35に出力する。

【0092】コラムデコーダ35は、入力される内部コラムアドレスNCAに基づいてビット線BL1〜BL4

及び冗長ビット線RB1、RB2のうちの1本を選択する。その選択されたビット線BL1〜BL4、冗長ビット線RB1、RB2のうちの1本と、ロウデコーダ34により選択されたワード線WL1〜WL4、冗長ワード線RW1、RW2のうちの一本の交点に接続されたメモリセルC又は冗長メモリセルRCが選択される。そして、選択されたメモリセルC又は冗長メモリセルRCは、セル情報の読み出し・書き込みが行われる。

【0093】次に、上記のように構成された半導体装置の作用を説明する。ここで、ワード線WL2に接続された複数のメモリセルCのうちの1つが不良であるとす。試験回路部15は、テストモード時にメモリセルCから読み出されたセル情報に基づいて当該メモリセルCが不良であると判断し、そのメモリセルCが接続されたワード線WL2を選択するためのロウアドレスを不良ロウアドレスとしてアドレス比較部40aの不良アドレスレジスタ41に格納する。この時、試験回路部15は、他の不良メモリセルが存在しない場合、アドレス比較部40bの不良アドレスレジスタ41には不良アドレスを格納しない。また、試験回路部15は、コラムアドレス変換回路37の不良アドレスレジスタ46には、不良コラムアドレスを格納しない。

【0094】次に、通常の動作時において、メモリセル部32に入力される外部アドレスADDRは、ロウアドレスRAとコラムアドレスCAとに分けられてそれぞれロウアドレス変換回路36、コラムアドレス変換回路37に供給される。ロウアドレス変換回路36のロウアドレス比較部38は、入力されるロウアドレスRAと不良アドレスレジスタ41の不良ロウアドレスとを比較する。

【0095】例えば、入力されるロウアドレスRAがワード線WL1を選択するアドレスである場合、不良アドレスレジスタ41にはワード線WL2を選択するロウアドレスが記憶されているので、一致しない。そのため、ロウアドレス変換回路36は、入力されるロウアドレスRAを、そのまま内部ロウアドレスNRAとして出力する。ロウデコーダ34は、入力される内部ロウアドレスNRAに基づいてワード線WL1を選択する。

【0096】一方、コラムアドレス変換回路37は、不良アドレスレジスタ46に不良コラムアドレスが格納されていないので、入力されるコラムアドレスCAをそのまま内部コラムアドレスNCAとして出力する。コラムデコーダ35は、入力される内部コラムアドレスNCAに基づいてビット線BL1〜BL4のうちの1本（例えば、ビット線BL2）を選択する。そして、前記選択されたワード線WL1とビット線BL2との交点に接続されたメモリセルCに対してセル情報の読み出し・書き込みが行われる。

【0097】また、入力されるロウアドレスRAがワード線WL2を選択するアドレスの場合、そのロウアドレ

スRAは、不良アドレスレジスタ41に記憶された不良ロウアドレスと一致する。従って、ロウアドレス変換回路36は、冗長アドレスレジスタ39aに記憶されている冗長ロウアドレスを内部ロウアドレスNRAとして出力する。ロウデコーダ34は、入力される内部ロウアドレスNRAに基づいて冗長ワード線RW1を選択する。

【0098】一方、コラムアドレス変換回路37は、不良アドレスレジスタ46に不良コラムアドレスが格納されていないので、入力されるコラムアドレスCAをそのまま内部コラムアドレスNCAとして出力する。コラムデコーダ35は、入力される内部コラムアドレスNCAに基づいてビット線BL1~BL4のうちの1本（例えば、ビット線BL2）を選択する。そして、前記選択された冗長ワード線RW1とビット線BL2との交点に接続された冗長メモリセルRCに対してセル情報の読み出し・書き込みが行われる。

【0099】ところで、上記第一実施形態では、各冗長メモリセルRC毎のアドレスがアドレス変換部23の冗長アドレスレジスタRR1~RRnに予め記憶されている。従って、各不良メモリセル毎に救済する事ができるため、メモリセルの使用効率がよい。しかしながら、連続した複数のメモリセルCのセル情報をアクセスする場合であって複数のメモリセルCに不良メモリセルが含まれていると、その不良メモリセルは冗長メモリセルRCに代替されている。

【0100】従って、メモリセルデコード部21に入力されるロウアドレスが変化する場合がある。すると、図11(b)に示すように、連続した複数のアドレスのメモリセルCをアクセスする場合に、最初のメモリセルCをアクセスするために設定したロウアドレスRA1を、冗長メモリセルRCをアクセスするロウアドレスRA2に一旦変更する。そして、再び元のロウアドレスRA1を設定し直す必要があり、アクセスタイムが長くなる。

【0101】しかしながら、本実施形態では、不良メモリセルが接続されたワード線WL1~WL4を選択するロウアドレスを不良ロウアドレスとして記憶しておく。そして、入力されたロウアドレスRAが不良ロウアドレスと一致する場合に入力されるロウアドレスRAを予め記憶しておいた冗長ワード線RW1、RW2を選択する冗長ロウアドレスに切り換えている。

【0102】即ち、不良メモリセルが接続されたワード線WL1~WL4に接続された全てのメモリセルCを、冗長ワード線RW1、RW2に接続された全ての冗長メモリセルRCに置き換えている。従って、冗長ワード線RW1、RW2に接続された冗長メモリセルRCは、ロウアドレス（冗長ロウアドレス）が同一である。そのため、図11(a)に示すように、ロウアドレスRA1を設定し直すことなく連続してアクセスする、所謂バースト転送やページモードによるアクセスが可能となり、ロウアドレスRA1を変更しない分だけ複数メモリセル

のアクセス時間が短くなる。

【0103】また、本実施形態では、不良メモリセルが接続されたワード線WL1~WL4を選択するロウアドレスを不良ロウアドレスとして記憶しておく。そして、入力されるロウアドレスが不良ロウアドレスと一致する場合にそのロウアドレスを予め記憶しておいた冗長ワード線RW1、RW2を選択する冗長ロウアドレスに置き換えている。即ち、ワード線WL1~WL4と冗長ワード線RW1、RW2との置き換えを電気的に行い、不良メモリセルを救済している。

【0104】その為、従来の救済方法のように、物理的な作業、即ち、不良メモリセルが接続されたワード線WLを切り離すための作業及び切り離したワード線WLに帰る上長ワード線を登録する作業を省略することができる。更に、不良メモリセルの救済を電気的に行う事によって、従来の物理的な作業が確実に行われたかを確認するための試験を行う必要がない。従って、不良メモリセルを救済するための物理的な作業と、その物理的な作業を確認するための試験とを省略することができるので、その分半導体装置の試験時間が短くなり、試験コストが低減される。

【0105】以上記述したように、本実施の形態によれば、以下の効果を奏する。○本実施形態では、ロウアドレス変換部36とコラムアドレス変換部37とを備える。ロウアドレス変換部36の不良ロウアドレスレジスタ41には不良メモリセルが接続されたワード線WL1~WL4を選択するロウアドレスが不良ロウアドレスとして記憶される。コラムアドレス変換部37の不良コラムアドレスレジスタ46には不良メモリセルが接続されたビット線BL1~BL4を選択するコラムアドレスが不良コラムアドレスとして記憶される。そして、入力されるロウ（又はコラム）アドレスRA（CA）が不良ロウ（又はコラム）アドレスと一致する場合にそのロウ（又はコラム）アドレスRA（CA）を予め記憶しておいた冗長ロウ（又はコラム）アドレスに置き換えて内部ロウ（又はコラム）アドレスNRA（NCA）としてロウ（又はコラム）デコーダ34（35）に出力し、ロウ（又はコラム）デコーダ34（35）は内部ロウ（又はコラム）アドレスNRA（NCA）に基づいて冗長ワード線RW1、RW2（又は冗長ビット線RB1、RB2）を選択するようにした。

【0106】その結果、不良メモリセルが接続されたワード線WL1~WL4（又はビット線BL1~BL4）と冗長ワード線RW1、RW2（又は冗長ビット線RB1、RB2）との置き換えが電気的に行われ、不良メモリセルが救済される。その為、従来の救済方法のように、物理的な作業、即ち、不良メモリセルが接続されたワード線WL（又はビット線BL）を切り離すための作業及び切り離したワード線WL（又はビット線BL）に代わる冗長ワード線RW（又は冗長ビット線RB）を登



録する作業を省略することができる。更に、不良メモリの救済を電氣的に行う事によって、従来の物理的な作業が確実に行われたかを確認するための試験を行う必要がない。従って、不良メモリセルを救済するための物理的な作業と、その物理的な作業を確認するための試験とを省略することができるので、その分半導体装置の試験時間を短くすることができ、試験コストを低減することができる。

【0107】○本実施形態では、不良メモリセルが接続されたワード線WL1～WL4を選択するロウアドレスを不良ロウアドレスとして記憶しておく。そして、入力されたロウアドレスRAが不良ロウアドレスと一致する場合に入力されるロウアドレスRAを予め記憶しておいた冗長ワード線RW1、RW2を選択する冗長ロウアドレスに切り換えている。即ち、不良メモリセルが接続されたワード線WL1～WL4に接続された全てのメモリセルCを、冗長ワード線RW1、RW2に接続された全ての冗長メモリセルRCに置き換えている。従って、冗長ワード線RW1、RW2に接続された冗長メモリセルRCは、ロウアドレス（冗長ロウアドレス）が同一である。その結果、ロウアドレスを設定し直すことなく連続してアクセスする、所謂バースト転送やページモードによるアクセスが可能となり、ロウアドレスを変更しない分だけ複数メモリセルのアクセス時間を高速化することができる。

【0108】（第三実施形態）以下、本発明を具体化した第三実施形態を図12～図14に従って説明する。図12に示すように、本実施形態の半導体装置は、CPU52、メモリ部53、及び、アドレス変換部54を備える。CPU52、メモリ部53、及び、アドレス変換部54は、同一チップ上に形成されている。

【0109】CPU52は、メモリ部53に記憶されたCPU52が動作するための処理プログラムデータ（命令データ）や、処理に必要な各種データ等をアクセスする。即ち、CPU52は、メモリ部53から命令データを読み出し、その命令データに基づいて動作する。その動作において、CPU52は、必要となる各種データのメモリ部53からの読み出し、生成したデータのメモリ部53への書き込みを行う。

【0110】メモリ部53は、第一、第二実施形態と同様に、複数のメモリセルC及び冗長メモリセルRC（図示略）を備える。CPU52は、メモリ部53にアドレスADDRを出力する。メモリ部53は、入力されるアドレスADDRにより選択したメモリセルC又は冗長メモリセルRCから読み出したデータをCPU52に出力する。また、メモリ部53は、アドレスADDRにより選択したメモリセルC又は冗長メモリセルRCにCPU52から入力されるデータを書き込む。

【0111】アドレス変換部54は、メモリ部53に発生する不良メモリセルを救済するために設けられてい

る。アドレス変換部54は、本実施形態では、第一実施形態におけるアドレス変換回路と同じ回路構成になっている。即ち、アドレス変換部54は、不良アドレスレジスタ及び冗長アドレスレジスタを備える。不良アドレスレジスタには、図示しない試験回路部により不良と判断されたメモリセルの不良アドレスがそのテストモード時に記憶される。冗長アドレスレジスタには、メモリ部53に予め用意された冗長メモリセルのアドレスが予め記憶されている。

【0112】そして、アドレス変換部54は、CPU52からアドレスADDRが入力され、変換後のアドレスをCPU52に出力する。即ち、アドレス変換部54は、入力されたアドレスADDRと予め記憶された不良アドレスとを比較し、その比較結果に基づいてアドレスADDRが不良アドレスと一致する場合にその不良アドレスに対応した冗長アドレスを変換後のアドレスとして出力する。

【0113】CPU52は、アドレス変換部54から入力される変換後のアドレスをメモリ部53に出力する。従って、本実施形態のメモリ部53は、メモリセルCと冗長メモリセルRCが選択可能な変換後のアドレスが入力される。即ち、CPU52は、冗長メモリセルRCを直接アクセスする。尚、一般的には、冗長メモリセルRCは、メモリセルCをアクセスするアドレスがメモリ内部において変換されてCPU52からアクセスされる。即ち、CPU52は冗長メモリセルRCを間接的にアクセスする。

【0114】この構成により、第一実施形態と同様に、アドレス変換部54において変換されたアドレスによりメモリ部53に発生する不良メモリセルを他のメモリセルに電氣的に代替させて救済することができる。従って、従来に比べて半導体装置の試験時間が短縮される。また、不良メモリセルのみを他のメモリセルにより救済することにより、従来のように正常なメモリセルが使用できなくなることがなく、メモリセルの使用効率が良い。

【0115】また、CPU52は、パイプライン方式により命令を処理する。即ち、図13に示すように、CPU52には、複数（本実施形態では6つ）のパイプラインステージを備える。IFステージは、CPU52の動作に必要な命令をロードするステージである。このIFステージにおいて、ロードする命令は、図示しない命令キャッシュレジスタに格納されており、CPU52は、その命令キャッシュレジスタより命令をロードする。

【0116】IDステージは、読み出した命令をデコードし、その動作内容を判断するためのステージである。IEステージは、CPU52が命令を実行するステージである。

【0117】CHステージは、メモリの不良メモリセルを避けるためにアドレス変換を行うステージである。M



Aステージは、変換されたアドレスに基づいてCPU52がメモリをアクセスするステージである。WBステージは、実行結果を適切なレジスタ等へ書き戻すためのステージである。

【0118】各ステージは、半導体装置の動作基準となるシステムクロック（動作周波数）に基づいて、所定の時間（サイクル）内で動作を完了する。従って、パイプラインに切れ目がなければ、各ステージは1サイクルでそれぞれ実行される。その結果、CPU52は、1サイクル毎に実行結果を適切なレジスタへ書き戻すことができ、処理を高速化することができる。

【0119】ところで、図12に示すパイプラインにて処理を高速化したCPU52と、第一、第二実施形態のメモリ部53とを1つのチップ上に搭載した半導体装置が考えられる。この場合、メモリ部53に搭載したアドレス変換回路にて不良メモリセルを救済するので、図13におけるCHステージは設けられていない。即ち、CPU52には、図14(a)に示すように、IF、ID、IE、MA、WBステージの5つのパイプラインステージが設けられる。そして、CPU52は、実行の際に所望のデータのアドレスをメモリ部53に出力するだけであるので、処理が単純である。

【0120】そして、高速処理の要求によりシステムクロック（動作周波数）を上げると、図14(a)に示す各ステージIF～WBの時間が短くなる。すると、メモリ部53に設けられたアドレス変換回路におけるアドレス比較、アドレス切り換え等の時間がパイプラインピッチと比較して大きくなり、図14(b)の右図の2段目に示すように、MAステージにウェイトを入れなければならない。

【0121】すると、MAステージ以後のステージ、例えば図14(b)において3段目では、MAサイクルが終了していないので、WBステージに進むことができず、CPU52動作にデッドサイクルが生じる、即ち、MAステージが終了するまでの間の1サイクル分だけ処理が遅れることになる。この処理の遅れは、MAステージを実行する毎に発生する可能性があり、CPU52のスループットを落とす。

【0122】しかしながら、本実施形態では、CPU52にはCHステージが設けられ、そのCUステージにおいて変換されたアドレスを用いてメモリをアクセスするMAステージを実行している。その為、MAステージにおいてアドレス比較等の時間が不要となるので、ウェイトを入れる必要がない。従って、システムクロック（動作周波数）を上げても、各ステージを確実に1クロック内で実行することができるので、CPU52動作にデッドサイクルを生じることなしに、更なる高速化を行うことができる。

【0123】以上記述したように、本実施の形態によれば、以下の効果を奏する。○半導体装置には、CPU5

2、メモリ部53、及び、アドレス変換部54が備えられ、CPU52、メモリ部53、及び、アドレス変換部54は、同一チップ上に形成されている。アドレス変換部54は、不良アドレスレジスタ及び冗長アドレスレジスタを備える。不良アドレスレジスタにはメモリ部53に発生した不良メモリセルの不良アドレスが記憶され、冗長メモリセルにはメモリ部53に予め用意された冗長メモリセルのアドレスが予め記憶されている。

【0124】そして、アドレス変換部54は、CPU52から入力されるアドレスADDRと予め記憶された不良アドレスとを比較し、その比較結果に基づいてアドレスADDRが不良アドレスと一致する場合にその不良アドレスに対応した冗長アドレスを変換後のアドレスとして出力する。CPU52は、アドレス変換部54から入力される変換後のアドレスをメモリ部53に出力し、不良メモリセルに代えて冗長メモリセルをアクセスする。

【0125】その結果、第一実施形態と同様に、アドレス変換部54において変換されたアドレスによりメモリ部53に発生する不良メモリセルを他のメモリセルに電氣的に代替させて救済することができる。従って、従来に比べて半導体装置の試験時間が短縮される。また、不良メモリセルのみを他のメモリセルにより救済することにより、従来のように正常なメモリセルが使用できなくなることなく、メモリセルを効率良く救済することができる。

【0126】○また、CPU52には、メモリの不良メモリセルを避けるためにアドレス変換部54においてアドレス変換を行うCHステージが設けられている。CPU52は、CUステージにおいて変換されたアドレスを用いてメモリをアクセスするMAステージを実行している。その為、MAステージにおいて従来のようにアドレス比較等の時間が不要となるので、システムクロック（動作周波数）を上げても、各ステージを確実に1クロック内で実行することができる。その結果、CPU52動作にデッドサイクルを生じることなしに、高速化を行うことができる。

【0127】尚、本発明は前記実施の形態の他、以下の態様で実施してもよい。上記第一、第二実施形態では、内部回路12とメモリとを同一チップ上に形成した半導体装置に具体化したのが、メモリのみをチップ上に形成した半導体記憶装置に具体化して実施してもよい。

【0128】上記第一実施形態では、同一チップ上にメモリ部53と試験回路部を形成し、試験回路部にてメモリセルCが正常か不良かを判断して不良アドレスレジスタに不良アドレスを記憶させるようにしたが、試験装置にてメモリセルCを判断して不良アドレスレジスタに不良アドレスを記憶させるようにして試験回路部を省略して実施してもよい。

【0129】上記第一、第二実施形態では、DRAMを試験装置に装着してメモリセルCの試験を行い、その試

験結果に基づいて不良アドレスレジスタに不良アドレスを記憶させるようにしたが、メモリセルCの試験を適宜実行するように構成してもよい。例えば、試験回路部は、DRAMの電源投入時にメモリセルCの試験を行うようにしてもよい。即ち、試験回路部は、DRAMの駆動電源の供給に基づいて試験状態となり、内部に備えたカウンタ等の回路によってメモリセルCを試験するアドレスを発生させる。そして、試験回路部はメモリセルCから出力されるセル情報に基づいて当該メモリセルCが正常か不良かを判断し、不良の場合に当該メモリセルCのアドレスを不良アドレスとして不良アドレスレジスタに記憶させる。この構成によれば、システムの使用中にメモリセルCが不良になったとしても、電源投入時に試験を行って不良アドレスレジスタに不良アドレスを記憶させることにより、当該不良メモリセルを冗長メモリセルRCに代替させることで、不良メモリセルを救済することができる。その結果、不良セルが発生しても、メモリ部53の交換が不要になるので、システムを安定して稼働させることが可能となる。

【0130】第三実施形態において、アドレス変換部54を第一実施形態におけるアドレス変換部54と同じ構成としたが、第二実施形態におけるアドレス変換部54と同じ構成として実施してもよい。即ち、アドレス変換部54には、不良ロウアドレスレジスタ及び不良コラムアドレスレジスタを備えると共に、冗長ロウアドレスレジスタ及び冗長コラムアドレスレジスタを備える。そして、CPU52は、第4ステージCHにおいてアドレスADDRをアドレス変換部54に出力し、アドレス変換部54は、入力されるアドレスADDRをロウアドレスとコラムアドレスとに分割する。そして、アドレス変換部54は、ロウ（又はコラム）アドレスが不良ロウ（又はコラム）アドレスと一致する場合に、その不良ロウ

（又はコラム）アドレスに対応する冗長ロウ（又はコラム）アドレスを変換後のアドレスとしてCPU52に出力する。CPU52は、次の第5ステージMAにおいて、アドレス変換部54からのアドレスに基づいてメモリ部53をアクセスする。この構成により、メモリ部53における不良メモリセルをアドレス変換部54において電氣的に冗長メモリセルに代替させて救済することで、上記かく実施形態と同様に試験時間を短縮して試験コストを低減することができる。また、アドレス変換部54において不良ロウアドレスを冗長ロウアドレスに変換することで、メモリ部53において不良メモリセルが接続されたワード線を冗長ワード線に代替している。そのため、CPU52は、同一ロウアドレスの複数のメモリセルをアクセスするバースト転送を実行することがで

きると共に、パイプラインによる実行を行うことができるので、処理時間を短縮することができる。

【0131】上記第三実施形態において、パイプラインステージの数、構成、処理内容等を適宜変更して実施してもよい。

【0132】

【発明の効果】以上詳述したように、本発明によれば、冗長メモリセルへの切り換えにかかる試験時間を短縮することのできる不良アドレスの代替方法、半導体記憶装置、及び、半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 第一実施形態のメモリ部のブロック回路図。

【図2】 半導体装置のブロック回路図。

【図3】 第一実施形態のメモリ部のブロック回路図。

【図4】 第一実施形態の比較回路部のブロック回路図。

【図5】 第一実施形態のアドレス変換を示すメモリマップ。

【図6】 第一実施形態のアドレス切り換え部のブロック回路図。

【図7】 第一実施形態の動作を説明するためのブロック回路図。

【図8】 第一実施形態の動作を説明するためのブロック回路図。

【図9】 第一実施形態のアドレス変換を示すメモリマップ。

【図10】 第二実施形態のメモリ部のブロック回路図。

【図11】 第二実施形態の動作を説明するためのタイミングチャート。

【図12】 第三実施形態の半導体装置のブロック回路図。

【図13】 第三実施形態のパイプライン動作の説明図。

【図14】 (a) (b) は従来のパイプライン動作の説明図。

【図15】 従来の動作を説明するためのメモリセル部のブロック図。

【符号の説明】

21, 33 メモリセルデコード部

22, 32 メモリセル部

23, 36, 54 アドレス変換部

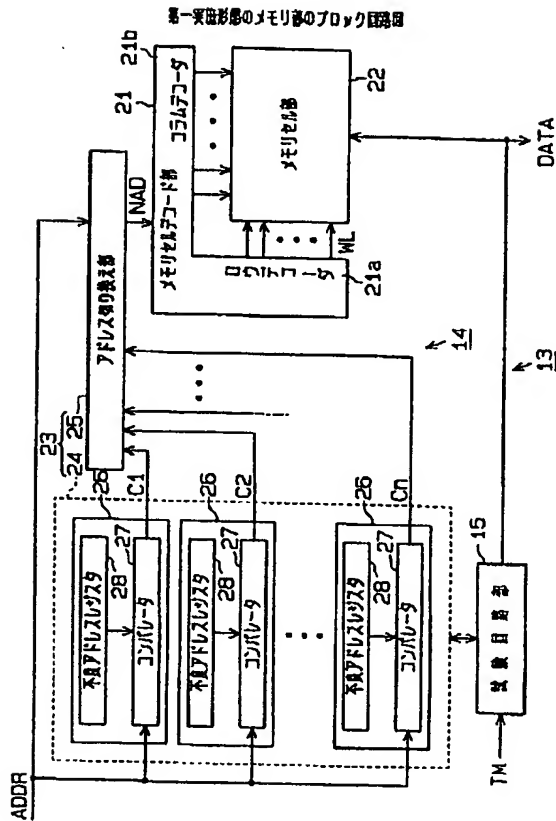
C メモリセル

RC 冗長メモリセル

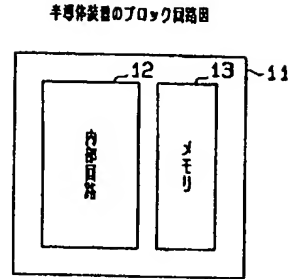
ADDR 外部アドレス

NAD 内部アドレス

【図1】

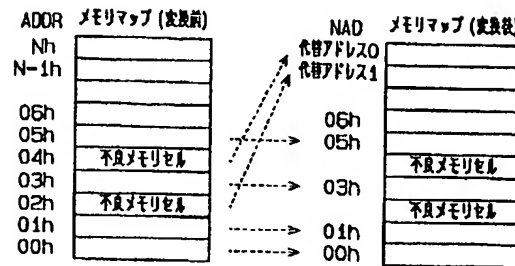


【図2】



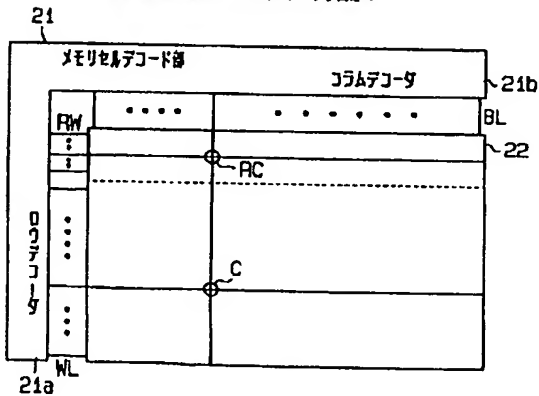
【図5】

第一実施形態のアドレス変換を示すメモリマップ



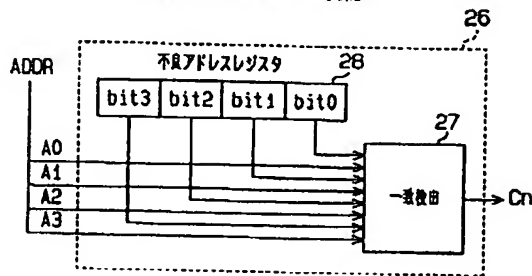
【図3】

第一実施形態のメモリスループのブロック回路図



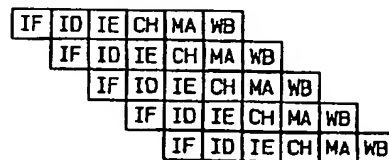
【図4】

第一実施形態の比較回路部のブロック回路図



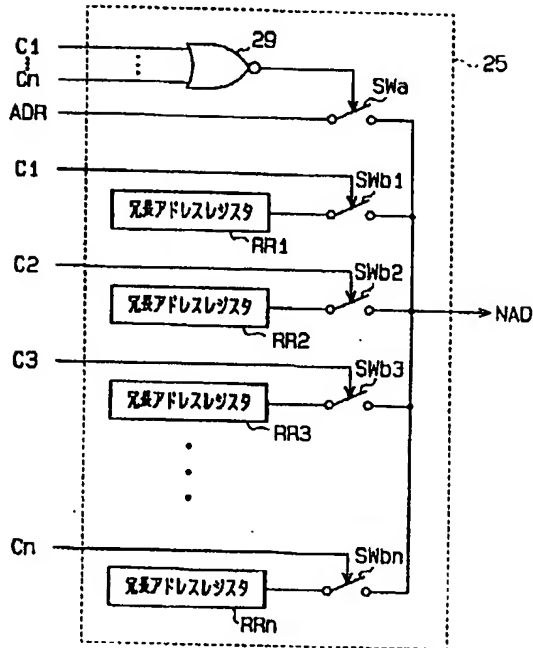
【図13】

第三実施形態のパイプライン動作の説明図



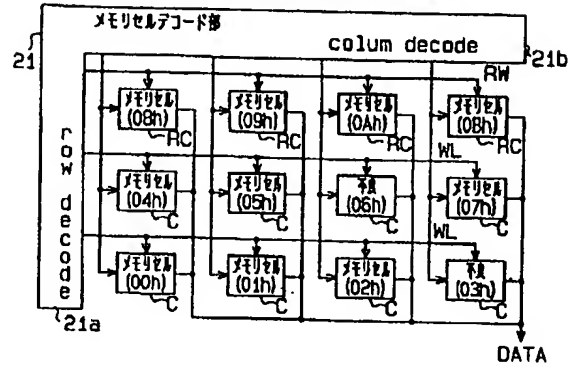
【図6】

第一実施形態のアドレス取り換え部のブロック回路図



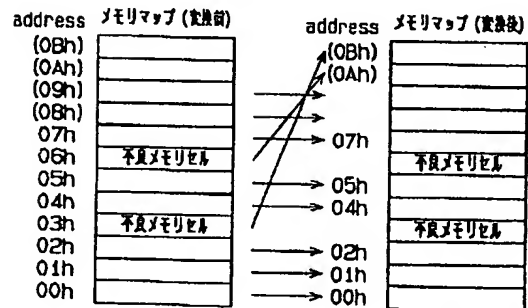
【図7】

第一実施形態の動作を説明するためのブロック回路図



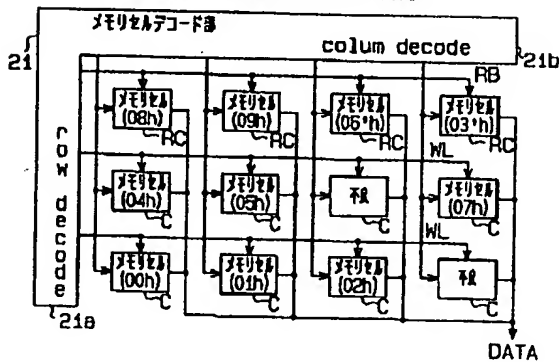
【図9】

第一実施形態のアドレス変換を示すメモリマップ



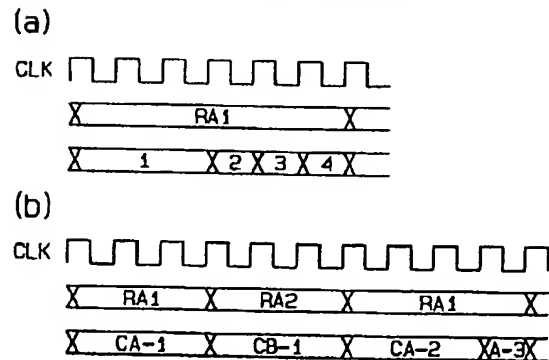
【図8】

第一実施形態の動作を説明するためのブロック回路図



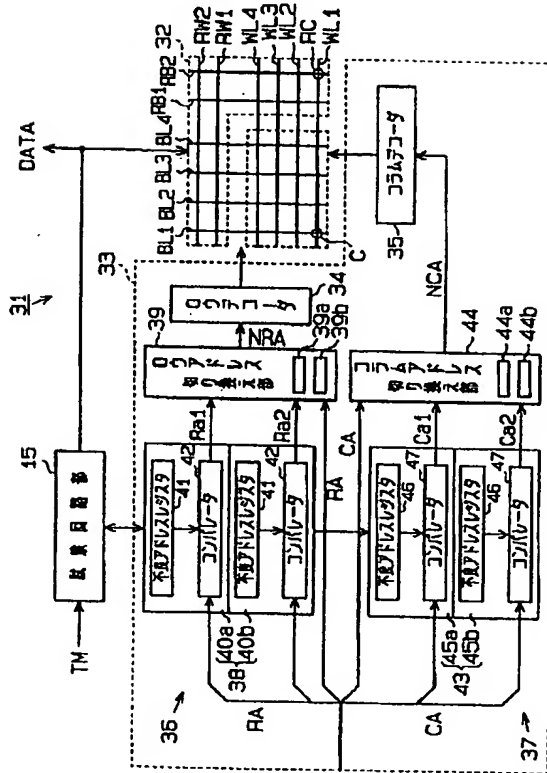
【図11】

第二実施形態の動作を説明するためのタイミングチャート



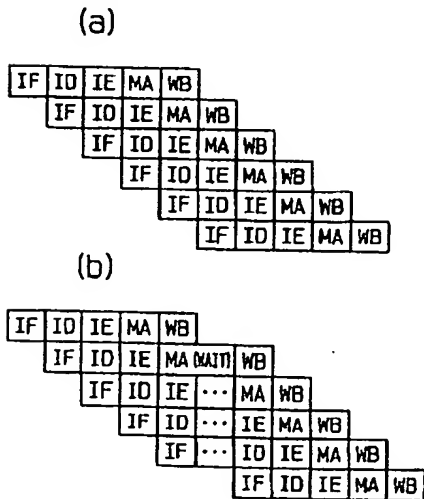
【図10】

第二実施形態のメモリ部のブロック回路図



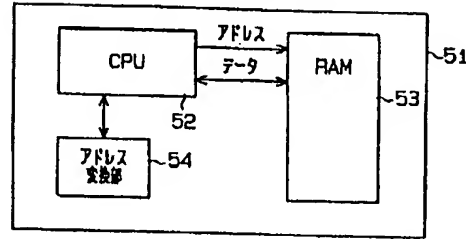
【図14】

従来のパイプライン動作の説明図



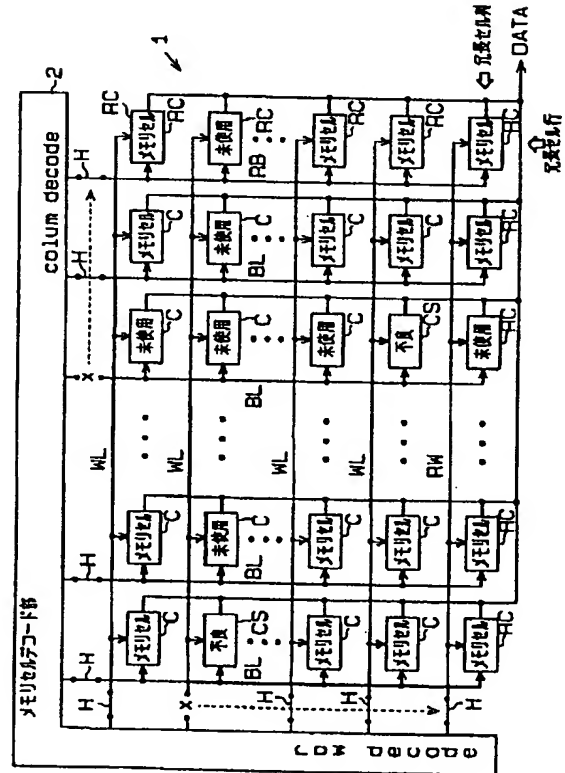
【図12】

第三実施形態の半導体装置のブロック回路図



【図15】

従来の動作を説明するためのメモリスループのブロック図



フロントページの続き

(72)発明者 西井 敏幸  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

(72)発明者 竹重 昌之  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第4区分  
【発行日】平成13年6月29日(2001. 6. 29)

【公開番号】特開平10-302497  
【公開日】平成10年11月13日(1998. 11. 13)  
【年通号数】公開特許公報10-3025  
【出願番号】特願平9-110967

【国際特許分類第7版】

G11C 29/00 605  
11/401

【F1】

G11C 29/00 605 C  
11/34 371 D

【手続補正書】

【提出日】平成12年6月7日(2000. 6. 7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数のメモリセルと複数の冗長メモリセルとを備えたメモリセル部と、  
入力される外部アドレスに応じて1つのメモリセルを選択するデコード部と、  
不良アドレスを記憶する不良アドレスレジスタと、  
前記冗長メモリセルのアドレスを記憶する冗長アドレスレジスタと、  
前記外部アドレスと前記不良アドレスとを比較して判定信号を出力するコンパレータと、  
前記外部アドレスと前記不良アドレスとが一致したときの判定信号にตอบสนองして、前記外部アドレスを前記冗長アドレスレジスタに記憶されている冗長メモリセルのアドレスに切り換えるスイッチと  
を備えたことを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、  
不良メモリセルを検知し、該不良メモリセルのアドレスを不良アドレスとして前記不良アドレスレジスタへ格納する試験回路部を備えたことを特徴とする半導体記憶装置。

【請求項3】 メモリ部に発生する不良メモリセルの不良アドレスを前記メモリ部に備えられた冗長メモリセルのアドレスに代替させて前記不良メモリセルを救済するための不良アドレスの代替方法であって、  
前記不良メモリセルを選択する不良アドレスを予め記憶すると共に、前記冗長メモリセルを選択する冗長アドレスを予め記憶しておき、入力される外部アドレスと前記

不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして生成し、前記不良メモリセルを前記生成された内部アドレスにより選択されるメモリセルにより代替するようにした不良アドレスの代替方法。

【請求項4】 ワード線又はビット線に接続されたメモリセルと、冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリ部において、前記メモリセルが不良の場合に該不良メモリセルを前記冗長メモリセルにより救済するために前記不良メモリセルが接続されたワード線又はビット線を選択するアドレスを不良アドレスとして該不良アドレスを前記冗長メモリセルが接続された冗長ワード線又は冗長ビット線を選択する冗長アドレスに代替させる不良アドレスの代替方法であって、

前記不良メモリセルが接続されたワード線又はビット線を選択するロウアドレス又はコラムアドレスを不良アドレスとして予め記憶すると共に、前記冗長ワード線又は前記冗長ビット線を選択するためのアドレスを冗長アドレスとして予め記憶しておき、入力される前記アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとし、該アドレスにより前記冗長ワード線又は前記冗長ビット線を選択するようにした不良アドレスの代替方法。

【請求項5】 メモリセルと冗長メモリセルとを備えたメモリセル部と、入力される外部アドレスをデコードして前記メモリセル部のうちの1つを選択するメモリセルデコード部とを備えた半導体記憶装置において、  
前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に、前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶され、前記外部アドレスが入力され、該外部アドレスと前



記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス変換部を備え、

前記メモリセルデコード部は、前記アドレス変換部から入力される内部アドレスに基づいて前記メモリセル又は冗長メモリセルを選択するようにした半導体記憶装置。

【請求項6】 請求項5に記載の半導体記憶装置において、

前記アドレス変換部は、

前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に前記外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較するアドレス比較部と、

前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成された半導体記憶装置。

【請求項7】 請求項6に記載の半導体記憶装置において、

前記アドレス比較部は、前記メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられ、

前記アドレス切り換え部は、前記予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタを備え、複数の前記アドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項8】 請求項6又は7に記載の半導体記憶装置において、

前記アドレス比較部は、

前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される不良アドレスレジスタと、

前記外部アドレスが入力され、該外部アドレスと前記不良アドレスレジスタ記憶された前記不良アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、

前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて前記外部アドレス又は前記冗長アドレ

スを出力するようにした半導体記憶装置。

【請求項9】 ワード線又はビット線に接続されたメモリセルと冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリセル部と、前記ワード線及び冗長ワード線又は前記ビット線及び冗長ビット線が接続され、入力されるロウアドレス又はコラムアドレスに基づいて前記ワード線又は前記ビット線を選択するロウデコーダ又はコラムデコーダとを備えた半導体記憶装置において、

前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、前記外部アドレスを構成する外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するロウアドレス変換部又はコラムアドレス変換部を備え、

前記ロウデコーダ又は前記コラムデコーダは、前記アドレス変換部から出力される内部アドレスを入力し、該アドレスに基づいて前記ワード線又は冗長ワード線、若しくは前記ビット線又は冗長ビット線を選択するようにした半導体記憶装置。

【請求項10】 請求項9に記載の半導体記憶装置において、

前記アドレス変換部は、

前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記外部アドレスと前記不良アドレスとを比較するアドレス比較部と、

前記冗長ワード線又は前記冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成された半導体記憶装置。

【請求項11】 請求項10に記載の半導体記憶装置において、

前記アドレス比較部は、前記メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられ、

前記アドレス切り換え部は、前記予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタを備え、前記複数のアドレス比較部からの比較結

果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項12】 請求項10又は11に記載の半導体記憶装置において、

前記アドレス比較部は、

前記不良アドレスを記憶する不良アドレスレジスタと、前記不良アドレスレジスタに記憶された不良アドレスと、前記外部アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、

前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスを内部アドレスとして出力するようにした半導体記憶装置。

【請求項13】 メモリセルと、該メモリセルに対して予め用意された冗長メモリセルとを備え、外部から入力されるアドレスに基づいて前記メモリ又は冗長メモリセルを選択するメモリ部と、

少なくとも前記メモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理を実行する処理部と、

前記処理部から前記メモリ部をアクセスするためのアドレスが入力され、該アドレスを請求項3又は4に記載の方法により変換した内部アドレスを前記処理部に出力するアドレス変換部とを備え、

前記処理部は、前記アクセスステージに先立って前記アドレス変換部により前記メモリ部をアクセスするアドレスを変換する変換ステージを備え、該変換ステージによる変換後のアドレスに基づいてアクセスステージにおいて前記メモリ部をアクセスするようにした半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明は、複数のメモリセルと複数の冗長メモリセルとを備えたメモリセル部と、入力される外部アドレスに応じて1つのメモリセルを選択するデコード部と、前記不良アドレスを記憶する不良アドレスレジスタと、前記冗長メモリセルのアドレスを記憶する冗長アドレスレジスタと、前記外部アドレスと前記不良アドレスとを比較して判定信号を出力するコンパレータと、前記外部アドレスと前記不良アドレスとが一致したときの判定信号に応じて、前記外部アドレスを前記冗

長アドレスレジスタに記憶されている冗長メモリセルのアドレスに切り換えるスイッチとを備えている。請求項2に記載の発明は、請求項1に記載の半導体記憶装置において、不良メモリセルを検知し、該不良メモリセルのアドレスを不良アドレスとして前記不良アドレスレジスタへ格納する試験回路部を備えている。請求項3に記載の発明は、メモリ部に発生する不良メモリセルの不良アドレスを前記メモリ部に備えられた冗長メモリセルのアドレスに代替させて前記不良メモリセルを救済するための不良アドレスの代替方法であって、前記不良メモリセルを選択する不良アドレスを予め記憶すると共に、前記冗長メモリセルを選択する冗長アドレスを予め記憶しておき、入力される外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして生成し、前記不良メモリセルを前記生成された内部アドレスにより選択されるメモリセルにより代替するようにしたことを要旨とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】請求項4に記載の発明は、ワード線又はビット線に接続されたメモリセルと、冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリ部において、前記メモリセルが不良の場合に該不良メモリセルを前記冗長メモリセルにより救済するために前記不良メモリセルが接続されたワード線又はビット線を選択するアドレスを不良アドレスとして該不良アドレスを前記冗長メモリセルが接続された冗長ワード線又は冗長ビット線を選択する冗長アドレスに代替させる不良アドレスの代替方法であって、前記不良メモリセルが接続されたワード線又はビット線を選択するロウアドレス又はコラムアドレスを不良アドレスとして予め記憶すると共に、前記冗長ワード線又は前記冗長ビット線を選択するためのアドレスを冗長アドレスとして予め記憶しておき、入力される前記アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとし、該アドレスにより前記冗長ワード線又は前記冗長ビット線を選択するようにしたことを要旨とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】請求項5に記載の発明は、メモリセルと冗長メモリセルとを備えたメモリセル部と、入力される外

部アドレスをデコードして前記メモリセル部のうちの1つを選択するメモリセルデコード部とを備えた半導体記憶装置において、前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に、前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶され、前記外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス変換部を備え、前記メモリセルデコード部は、前記アドレス変換部から入力される内部アドレスに基づいて前記メモリセル又は冗長メモリセルを選択するようにしたことを要旨とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】請求項6に記載の発明は、請求項5に記載の半導体記憶装置において、前記アドレス変換部は、前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に前記外部アドレスが入力され、該外部アドレスと前記不良アドレスとを比較するアドレス比較部と、前記冗長メモリセルのアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成されたことを要旨とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】請求項7に記載の発明は、請求項6に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられ、前記アドレス切り換え部は、前記予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタを備え、複数の前記アドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】請求項8に記載の発明は、請求項6又は7に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される不良アドレスレジスタと、前記外部アドレスが入力され、該外部アドレスと前記不良アドレスレジスタ記憶された前記不良アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するか否かを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて前記外部アドレス又は前記冗長アドレスを出力するようにしたことを要旨とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】請求項9に記載の発明は、ワード線又はビット線に接続されたメモリセルと冗長ワード線又は冗長ビット線に接続された冗長メモリセルとを備えたメモリセル部と、前記ワード線及び冗長ワード線又は前記ビット線及び冗長ビット線が接続され、入力されるロウアドレス又はコラムアドレスに基づいて前記ワード線又は前記ビット線を選択するロウデコーダ又はコラムデコーダとを備えた半導体記憶装置において、前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、前記外部アドレスと前記不良アドレスとを比較し、その比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスを内部アドレスとして出力するロウアドレス変換部又はコラムアドレス変換部を備え、前記ロウデコーダ又は前記コラムデコーダは、前記ワード線又は冗長ワード線、若しくは前記ビット線又は冗長ビット線を選択するようにしたことを要旨とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項10に記載の発明は、請求項9に記

載の半導体記憶装置において、前記アドレス変換部は、前記メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、前記外部アドレスと前記不良アドレスとを比較するアドレス比較部と、前記冗長ワード線又は前記冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタを備え、前記アドレス比較部の比較結果に基づいて、前記外部アドレスと前記不良アドレスとが一致しない場合には前記外部アドレスを内部アドレスとして出力し、前記外部アドレスと前記不良アドレスとが一致する場合には前記冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するアドレス切り換え部とから構成されたことを要旨とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】請求項11に記載の発明は、請求項10に記載の半導体記憶装置において、前記アドレス比較部は、前記メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられ、前記アドレス切り換え部は、前記予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタを備え、前記複数のアドレス比較部からの比較結果に基づいて、前記外部アドレスと不良アドレスとが一致する場合に前記複数のアドレス比較部にそれぞれ記憶された前記不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項12に記載の発明は、請求項10又は11に記載の半導体記憶装置において、前記アドレス比較部は、前記不良アドレスを記憶する不良アドレスレジスタと、前記不良アドレスレジスタに記憶された不良アドレスと、前記外部アドレスとを比較して前記外部アドレスと前記不良アドレスとが一致するかどうかを判断し、その判断結果を判定信号として出力するコンパレータとから構成され、前記アドレス切り換え部は、前記コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスを内部アドレスとして出力するようにしたことを要旨とする。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項13に記載の発明は、メモリセルと、該メモリセルに対して予め用意された冗長メモリセルとを備え、外部から入力されるアドレスに基づいて前記メモリ又は冗長メモリセルを選択するメモリ部と、少なくとも前記メモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理を実行する処理部と、前記処理部から前記メモリ部をアクセスするためのアドレスが入力され、該アドレスを請求項3又は4に記載の方法により変換した内部アドレスを前記処理部に出力するアドレス変換部とを備え、前記処理部は、前記アクセスステージに先立って前記アドレス変換部により前記メモリ部をアクセスするアドレスを変換する変換ステージを備え、該変換ステージによる変換後のアドレスに基づいてアクセスステージにおいて前記メモリ部をアクセスするようにしたことを要旨とする。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】（作用）

従って、請求項1に記載の発明によれば、メモリセル部は複数のメモリセルと複数の冗長メモリセルとを備え、1つのメモリセルがデコード部により入力される外部アドレスに応じて選択される。不良アドレスレジスタには不良アドレスが記憶され、冗長アドレスレジスタには冗長メモリセルのアドレスが記憶される。そして、外部アドレスと不良アドレスとが比較されて判定信号がコンパレータから出力され、判定信号にตอบสนองするスイッチによって外部アドレスと不良アドレスとが一致したときに外部アドレスが冗長アドレスレジスタに記憶されている冗長メモリセルのアドレスに切り換えられる。また、請求項2に記載の発明によれば、試験回路によって、不良メモリセルが検知され、該不良メモリセルのアドレスが不良アドレスとして不良アドレスレジスタへ格納される。また、請求項3に記載の発明によれば、不良メモリセルを選択する不良アドレスが予め記憶されると共に、冗長メモリセルを選択する冗長アドレスが予め記憶される。そして、入力される外部アドレスと不良アドレスとが比較され、その比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして生成され、不良メモリセルがその生成された内部アドレスにより選択されるメモリセルに代替される。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】請求項4に記載の発明によれば、不良メモリセルが接続されたワード線又はビット線を選択するロウアドレス又はコラムアドレスが不良アドレスとして予め記憶されると共に、冗長ワード線又は冗長ビット線を選択するためのアドレスが冗長アドレスとして予め記憶される。そして、入力されるアドレスと不良アドレスとが比較され、その比較結果に基づいて、アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとされ、その内部アドレスにより冗長ワード線又は冗長ビット線が選択される。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】請求項5に記載の発明によれば、アドレス変換部には、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に、冗長メモリセルのアドレスが冗長アドレスとして予め記憶される。アドレス変換部には外部アドレスが入力され、外部アドレスと不良アドレスとが比較され、その比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。そして、メモリセルデコード部は、アドレス変換部から入力される内部アドレスに基づいて、外部アドレスが不良アドレスと一致する場合に、その不良アドレスの不良メモリセルに代えてメモリセル又は冗長メモリセルが選択される。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】請求項6に記載の発明によれば、アドレス変換部は、アドレス比較部とアドレス切り換え部とから構成される。アドレス比較部には、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶されると共に外部アドレスが入力され、外部アドレスと不良アドレスとが比較される。アドレス切り換え部には、冗長メモリセルのアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタが備えられる。アドレス切り換え部は、アドレス比較部の比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】請求項7に記載の発明によれば、アドレス比較部は、メモリセル部に予め用意された冗長メモリセルの数に対応した数だけ複数設けられる。アドレス切り換え部には、予め用意された冗長メモリセルの数に対応した冗長アドレスレジスタが備えられ、複数のアドレス比較部からの比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合に複数のアドレス比較部にそれぞれ記憶された不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】請求項8に記載の発明によれば、アドレス比較部は、不良アドレスレジスタとコンパレータとから構成される。不良アドレスレジスタには、メモリセル部に発生する不良メモリセルのアドレスが不良アドレスとして予め記憶される。コンパレータには、外部アドレスが入力され、外部アドレスと不良アドレスレジスタ記憶された不良アドレスとが比較されて外部アドレスと不良アドレスとが一致するかが判断され、その判断結果が判定信号として出力される。そして、アドレス切り換え部は、コンパレータからの判定信号に基づいて外部アドレス又は冗長アドレスが出力される。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】請求項9に記載の発明によれば、ロウアドレス変換部又はコラムアドレス変換部には、メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶され、外部アドレスと不良アドレスとが比較される。その比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスが内部アドレスとして出力される。そして、ロウデコード又はコラムデコードには、アドレス変換部から出力される内部アドレスが入力され、該アドレスに基づいてワード線又は冗長ワード線、若しくはビッ

ト線又は冗長ビット線が選択される。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】請求項10に記載の発明によれば、アドレス変換部は、アドレス比較部とアドレス切り換え部とから構成される。アドレス比較部は、メモリセル部に発生する不良メモリセルが接続されたワード線又はビット線を選択するアドレスが不良アドレスとして予め記憶されると共に、外部アドレスと不良アドレスとが比較される。アドレス切り換え部には、冗長ワード線又は冗長ビット線を選択するアドレスが冗長アドレスとして予め記憶される冗長アドレスレジスタが備えられ、アドレス比較部の比較結果に基づいて、外部アドレスと不良アドレスとが一致しない場合には外部アドレスが内部アドレスとして出力され、外部アドレスと不良アドレスとが一致する場合には冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】請求項11に記載の発明によれば、アドレス比較部は、メモリセル部に予め用意された冗長ワード線又は冗長ビット線の数に対応した数だけ複数設けられる。アドレス切り換え部には、予め用意された冗長ワード線又は冗長ビット線の数に対応した冗長アドレスレジスタが備えられ、複数のアドレス比較部からの比較結果に基づいて、外部アドレスと不良アドレスとが一致する場合に不良アドレスに対応した冗長アドレスレジスタに記憶された冗長アドレスが内部アドレスとして出力される。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】請求項12に記載の発明によれば、アドレス比較部は、不良アドレスレジスタとコンパレータとから構成される。不良アドレスレジスタには、不良アドレスが記憶され、コンパレータは、不良アドレスレジスタに記憶された不良アドレスと、外部アドレスとが比較されて外部アドレスと不良アドレスとが一致するか否かが判断され、その判断結果が判定信号として出力される。そして、アドレス切り換え部は、コンパレータからの判定信号に基づいて入力される外部アドレス又は記憶した冗長アドレスが内部アドレスとして出力される。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】請求項13に記載の発明によれば、メモリ部には、メモリセルと、メモリセルに対して予め用意された冗長メモリセルとが備えられ、外部から入力されるアドレスに基づいてメモリ又は冗長メモリセルが選択されアクセスされる。処理部には、少なくともメモリ部をアクセスするアクセスステージを含む複数のステージからなるパイプライン方式により処理が実行される。アドレス変換部には、処理部からメモリ部をアクセスするためのアドレスが入力され、アドレスが請求項3又は4に記載の方法により変換された内部アドレスが処理部に出力される。そして、処理部には、アクセスステージに先立ってアドレス変換部によりメモリ部をアクセスするアドレスが変換される変換ステージが備えられ、その変換ステージによる変換後のアドレスに基づいてアクセスステージにおいてメモリ部がアクセスされるので、アクセスステージがアドレス変換により時間がかかることはない。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**